

1/5

MULTILAYER WIRING BOARD AND MANUFACTURE THEREOF AND ELECTRONIC DEVICE USING THE SAME

Publication number: JP5183273 (A)

Publication date: 1993-07-23

Inventor(s): MATSUZAKI EIJI; NARIZUKA YASUNORI; IKEDA SEIJI; ONODERA SATOKO; YABUSHITA AKIRA; ISHINO MASAKAZU

Applicant(s): HITACHI LTD

Classification:

- International: H01C7/00; H01L23/12; H03H7/38; H05K3/46; H01C7/00; H01L23/12; H03H7/38; H05K3/46; (IPC1-7): H01C7/00; H01L23/12; H03H7/38; H05K3/46

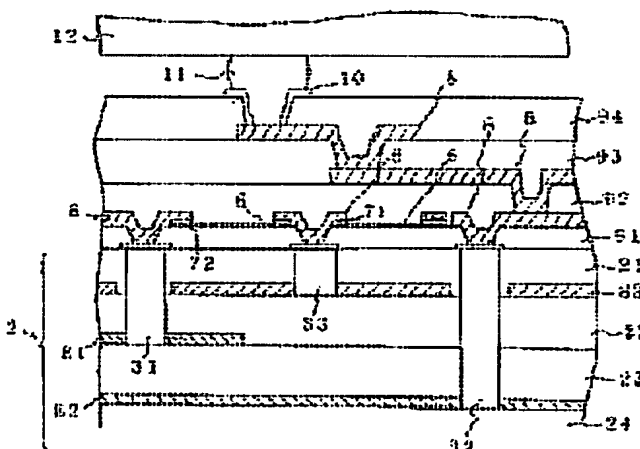
- European:

Application number: JP19900235621 19900907

Priority number(s): JP19900235621 19900907

Abstract of JP 5183273 (A)

PURPOSE: To reduce wiring impedance by arranging a resistor for impedance matching in a position adjacent to a terminal part for matching, and connecting the resistor with the terminal part by using a wiring layer in a ceramic multilayered part and through hole conductor. **CONSTITUTION:** A first layer 21-a fourth layer 24 in a ceramic multilayered board 2 are laminated in order. Wiring layers 81-83 are formed on the respective layers, and through hole conductors 31-33 are connected with them. On the first layer 21, a doughnut type thin film resistor 6 as a terminal resistor element is arranged via a first insulating layer 91. An electrode 71 and an electrode 72 are formed on the inner periphery and the outer periphery, respectively, and connected with the through hole conductors 31 and 33 by using the respective wiring patterns 8. The wiring layer 81 corresponds to a signal terminal. In the vicinity thereof, the electrode 72 on the outer periphery of the thin film resistor 6 is arranged and connected with the wiring layer 81 via the through hole conductor 31. Since the wiring layer 81 is an interlayer wiring layer, the area can be set to be large, so that the wiring impedance value between signal pins and the thin film resistor can be reduced to be practically negligible.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-183273

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 5 K 3/46	Q	6921-4E		
H 0 1 C 7/00	G	9069-5E		
H 0 1 L 23/12		7352-4M	H 0 1 L 23/ 12	N
		7352-4M		B

審査請求 未請求 請求項の数11(全 7 頁) 最終頁に続く

(21)出願番号 特願平2-235621

(22)出願日 平成2年(1990)9月7日

(71)出願人 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72)発明者 松崎 永二

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 成塚 康則

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 池田 省二

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

(54)【発明の名称】 多層配線基板装置とその製造方法ならびにそれを用いた電子装置

(57)【要約】

電子出願以前の出願であるので

要約・選択図及び出願人の識別番号は存在しない。

【特許請求の範囲】

【請求項1】 セラミック多層配線基板の表面に絶縁層と

配線パターン層を多層に積層した薄膜層部を備え、上記薄膜層部の上に集積回路チップやその他の回路部品を搭載するようにした多層回路基板において、上記集積回路チップやその他の回路部品のインピーダンス整合用抵抗体を上記薄膜層部内に設けるとともに、上記インピーダンス整合用抵抗体の電極を薄膜多層部内の絶縁層中に設けられたスルーホール導体に兼ねさせたことを特徴とする多層配線基板装置。

【請求項2】 請求項1において、上記集積回路チップや

その他の回路部品をインピーダンス整合用端子の少なくとも一つに接続し、上記セラミック配線基板内の配線パターン層と上記インピー

ダンス整合用抵抗体の一方の電極間をスルーホール導体により接続するようにしたことを特徴とする多層配線基板装置。

【請求項3】 請求項1ないし2において、上記インピー

ダンス整合用抵抗体を中心孔を有する円形状に形成し、さらに上記中心孔部および外周部に電極部を備えるようにし、上記スルーホール導体を上記インピーダンス整合用抵抗体の中心孔部の電極を兼ねる上記スルーホール配線と接続したことを特徴とする多層配線基板装置。

【請求項4】 請求項1ないし3において、上記薄膜層部

の絶縁層を有機絶縁材で構成するようにしたことを特徴とする多層配線基板装置。

【請求項5】 請求項1ないし3において、上記インピー

ダンス整合用抵抗体を搭載する上記薄膜層部の絶縁層を有機絶縁材と無機絶縁材による少なくとも2層構造としたことを特徴とする多層配線基板装置。

【請求項6】 請求項2において、上記スルーホール導体

の外径に対し該スルーホール導体が存在する層上に積層した上記絶縁層の該スルーホール導体上の開口部の内径を大きくし、さらに上記絶縁層の開口部の内径に対し上記インピーダンス整合用抵抗体中心孔部の電極部内径を大きくして、上記絶縁層の開口部と上記イン

ピーダンス整合用抵抗体中心孔部に配線材を充填し上記スルーホール導体と上記インピーダンス整合用抵抗体の内周部電極間を接続するようにしたことを特徴とする多層配線基板装置。

【請求項7】 請求項5において、上記インピーダンス

整合用抵抗体を搭載する上記無機絶縁層の厚みを20nmないし10μmとしたことを特徴とする多層配線基板装置。

【請求項8】 請求項1ないし7において、上記インピー

ダンス整合用抵抗体を構成する抵抗体層をCr、Ti、Ni、W、Zr、Ta、Hf、およびMoの中の少なくとも一つとSi、および酸素を含む組成としたことを特徴とする多

層配線基板装置。

【請求項9】 請求項1ないし8において、上記インピー

ダンス整合用抵抗体を構成する抵抗体層の厚みを10nmないし1000nmとしたことを特徴とする多層配線基板装置。

【請求項10】 セラミック多層配線基板の表面に絶縁層

と配線パターン層を多層に積層した薄膜層部を備え、上記薄膜層部の上に集積回路チップやその他の回路部品を搭載するようにした多層回路基板の製造方法において、上記集積回路チップやその他の回路部品のインピーダンス整合用抵抗体層とその電極部を上記薄膜層部内の絶縁層上に順次連続して薄膜成膜したのち所定の形状に整形し、次いで上記絶縁層に上記インピーダンス整合用抵抗体の電極部に接続するためのスルーホール導体孔を成形するようにしたことを特徴とする多層配線基板装置の製造方法。

【請求項11】 多層配線基板装置を用いた計算機、通信

機器等の電子装置回路内の複数のインピーダ

ンス整合用抵抗体を多層配線基板のセラミック多層配線基板表面部の多層の絶縁層間に設け、上記電子装置回路内のインピーダンス整合用端子の少なくとも一方を上記セラミック多層配線基板内の配線パターン層の少なくとも一つに接続し、上記セラミック多層配線基板内の配線パターン層と上記各インピーダンス整合用抵抗体の一方の電極間をスルーホール導体により接続するようにしたことを特徴

とする多層配線基板装置を用いた電子装置。

〔発明の詳細な説明〕

〔産業上の利用分野〕

本発明は計算機や通信機器等に用いる薄膜多層回路とその製造方法に係り、とくに終端抵抗素子として用いる抵抗体パターンの構造とその製造方法に関する。

〔従来技術〕

近年の計算機や通信機等の分野ではとくに高速、高集積化の要求が強まり、これにしたがって、超高速のLSIを搭載した多層回路基板（

マルチチップモジュール）の開発が進められている。

上記計算機や通信機用回路では第6図に示すように、信号の伝送単位回路毎の信号ピン51～5nと終端電位線41間にそれぞれ終端抵抗61～6nを接続してそれぞれのインピーダンスの整合を取り信号の反射を防止するようにしていた。

上記従来の多層回路基板における終端抵抗素子は、日経マイクロデバイス誌1989年12月号、第56～60頁に記載のように、基板表面上に設けられ、上記各回路の信号ピンおよび終端電位端子と終端抵抗素子間は配線パターンにより接続されるようになっていた。これはLSI素子等も上記基板表面上に取付けられるため、その信号端子や終端電位端子に終端抵抗を接続し易いためである。

また、特開昭58-207693号公報では絶縁基板の層間に抵抗体を設けた後、絶縁基板の表面に絶縁性接着剤層を塗布して電路パター

ンを設け、これらの電路パターンと上記抵抗体間をスルーホールメッキ導体により接続するようにしていた。

〔発明が解決しようとする課題〕

上記従来技術では、信号端子（信号配線パターン）や終端電位端子（終端電位パターン）等が基板の表面部に設けられ、また、上記基板表面上には多数の回路部品が搭載されるので終端抵抗を信号端子や終端電位端子の間近に設けることができず接続用配線パターンを必要としていた。

このため、上記接続用配線パターンのインピーダンスが各終端抵抗体の抵抗値に加算され、整合条件が崩れ、信号の反射が発生するという問題があった。

上記整合条件の崩れは原理的に、終端抵抗素子を回路の信号端子と終端電位端子にじかに接

続することが出来れば防止することができる。

しかしながら、第6図に示したように終端電位線には複数の終端抵抗が接続されるので、終

端電位線を各終端抵抗の端子位置まで引き回す必要があり、必然的にその配線インピーダンスが発生して整合条件を損なうのである。さらに、上記配線インピーダンスには各回路の信号電流が流れるのでクロストークが発生するという問題も伴う。

10

さらに、上記各配線面上に終端抵抗を設けるようにするとその面に他の回路部品を実装する面積が減少するという問題も伴う。

本発明の目的は、上記整合条件の崩れを防止し、信号の反射が発生することがなく、また部品の実装密度を高めることの出来る薄膜多層回路とその製造方法ならびにそれを用いた電子装置を提供することにある。

〔課題を解決するための手段〕

20

本発明では上記課題を解決するために、セラミック多層配線基板の表面に絶縁層と配線パターン層を多層に積層した薄膜層部を備え、上記薄膜層部の上に集積回路チップやその他の回路部品を搭載するようにした多層回路基板におい

て、上記集積回路チップやその他の回路部品のインピーダンス整合用抵抗体を上記薄膜層部内に設け、さらに上記集積回路チップやその他の回路部品のインピーダンス整合用端子の少なくとも一方を上記セラミック多層配線基板内の配線パターン層の少なくとも一つに接続し、上記セラミック多層配線基板内の配線パターン層と上記各インピーダンス整合用抵抗体の一方の電極間をスルーホール導体により接続するようにする。

30

さらに、上記インピーダンス整合用抵抗体を中心孔を有する円形状に生成し、上記スルーホール導体を上記中心孔部に設けた電極部に接続するようにする。

40

また、上記インピーダンス整合用抵抗体を平行電極部を備えた矩形状に生成し、上記スルーホール導体を上記平行電極部の一方の電極部に接続するようにする。

さらに、上記薄膜層部の絶縁層を有機絶縁材で構成するか、または、有機絶縁材と無機絶縁

材による少なくとも2層の構造とするようにする。そして、上記薄膜層部の絶縁層を有機絶縁材と無機絶縁材よりなる少なくとも2層の構造とする場合には、上記無機絶縁材よりなる絶縁

50

層の厚みを20ないし10 μ mとする。

さらに、上記インピーダンス整合用抵抗体を構成する抵抗体層をCr、Ti、Ni、W、Zr、Ta、Hf、およびMoの中の少なくとも一つとSi、および酸素を含む組成とするようにし、上記抵抗体層の厚みを10ないし100nmとする。

また、上記インピーダンス整合用抵抗体層とその電極部を上記薄膜層部内の絶縁層上に順次連続して薄膜成膜したのちに所定の形状に整形し、次いで上記絶縁層に上記インピーダンス整合用抵抗体の電極部に接続するためのスルーホール導体孔を成形するようにする。

[作用]

以上のように構成した本発明の多層配線基板装置とその製造方法ならびにそれを用いた電子

装置は、多層配線基板装置を用いた計算機、通信機器等の電子装置回路内の複数のインピーダンス整合用抵抗体を、上記電子装置回路内のインピーダンス整合用端子部に近接する位置に配置することができるので布線インピーダンス値を低減し、回路の整合条件を向上することができる、さらに、実装密度も高めることもできる。

[実施例]

第1図は本発明による上記終端抵抗を内蔵した薄膜多層回路基板の断面図である。セラミック多層基板2の第1～4層である21～24が順次積層され、各層の上には配線層81～83が設けられ、各配線層81～83にはスルーホール導体31～33が接続されている。

第1層21の上には第1絶縁層91を介して上記終端抵抗素子であるドーナツ状の薄膜抵抗6が設けられている。薄膜抵抗6の内周部と外周部にはそれぞれ電極71と72が設けられ、各配線パターン8によりスルーホール導体31および33に接続されている。

また、第1絶縁層91の上には第2ないし第4の絶縁層92～94が順次積層され、スルーホール導体32は上記各絶縁層上の各配線パターン8およびはんだ用電極10、はんだ11を介してLSIチップ12に接続されている。

上記第1図の薄膜多層回路の特徴は、各薄膜抵抗を最も望ましい位置に自由に配置出来る点である。この最も望ましい位置とは第6図に示した信号ピン51～5nのそれぞれに最も近い位置のことである。第1図では配線層81が信号端子に該当し、薄膜抵抗6の外周側電極72がこの位置に近く置かれてスルーホール導体3

1により配線層81に接続されている。スルーホール導体31は信号ピン位置に近い位置に自由に立てることができ、また配線層81は層間配線層なのでその面積を広く設定できるので信号ピンと薄膜抵抗間の布線インピーダンス値を実用上無視できる程度に低くすることができる。

また、上記信号端子が例えば第1絶縁層91の表面に存在するときは、これと上記外周側電

極間72間を配線パターンにより直接接続するようにする。

また、第6図に示した終端位置線41には配線層83が該当する。配線層83はスルーホール導体31、32や他の配線パターン等を避けて第2層22の表面部の広い面積を占有して設けるようにするのでその布線インピーダンス成分を無視できる程度に低くすることができる。

以上により、本発明では広い面積を占有できる層間配線層を用い、これらとセラミック多層基板表面部の所定の位置に設けた薄膜抵抗である終端抵抗間をスルーホール導体により接続するので、回路の信号端子と終端電位端子間に終端抵抗をじかに接続したものと等価な状態を得ることができるのである。この結果、各終端抵抗の整合性が良好に保たれ、また、回路間のクロストークが低減することができる。

第2図は第1図における薄膜抵抗6の拡大図であり、斜線でハッチして示した形状は薄膜抵抗6の上面形状である。薄膜抵抗6はドーナツ

状に成形され、その内周部と外周部の電極71と72はそれぞれ配線パターン8を介してスルーホール導体31および33に接続されている。

薄膜抵抗6の内周部電極71の寸法はとくに微小なものとなるから、その接続には上記のようにスルーホール導体33を用いるのが最も確実な方法になるのである。

終端抵抗としてこのように円形状の抵抗体を用いるとその抵抗値のバラツキを従来の矩形形状の抵抗体と比べて少なくすることができる。例えば、従来の矩形形状の抵抗体ではその抵抗値バラツキを10%未満に抑えることは困難であるのにたいし、上記円形の抵抗体では8%以下の値が容易に得られる。

次に上記本発明の薄膜多層基板の製造方法につき説明する。

セラミック多層基板2をアルコール系溶剤により超音波洗浄後、その表面にポリイミドワニスを下塗りして回転塗布し、350～400℃の温度で硬化して第1絶縁層91を生成する。

次いで、薄膜抵抗6の層と電極71と72の層を連続成膜する。この連続成膜により電極と薄膜抵抗層との接触抵抗値を低減することができ、次のエッチング処理が容易になる。

薄膜抵抗6をドーナツ状にすると矩形形状の場合に較べて抵抗値が下がるので、上記薄膜抵抗層の固有抵抗率を例えば $5\text{ m}\Omega\cdot\text{cm}$ 程度の高い値にする必要がある。さもないと上記ドーナツの大きさが大きくなってしまう。また、その薄膜は機械的強度、膜応力、成膜速度を勘案すると $10\sim1000\text{ nm}$ の範囲が現実的であるが、実用上は $100\sim500\text{ nm}$ とするのがよい。

このため、上記薄膜抵抗層をCr、Si及び酸素、またはCrにTi、Ni、Mo、Zr、Hf、Ta、Wおよび酸素等を適宜加えた組成として生成するようにする。

上記薄膜抵抗層と電極の成膜後、フォトリソ工程によりこれらを順次エッチングし、不要部分を除去する。

次に、フォトエッチング工程により第1絶縁層にスルーホールを形成する。このスルーホール形成後に上記薄膜抵抗層を生膜すると薄膜抵抗体がスルーホール内に堆積するという問題が生じる。

A1スパッタリング法等によりA1等と金属膜からなる配線膜を成膜し、フォトエッチング工程により配線パターン8と電極71、72を整形する。このときスルーホールの穴埋めも同時に行う。なお、上記A1材の代わりにCuやAu等を用いることもできる。

以上のようにして薄膜抵抗体6を形成後、第2～4絶縁層や層間の配線パターン8等を順次生成する。

第3図は上記薄膜抵抗体の他の形成法を説明する図である。

第2図では第1絶縁層91としてポリイミド材を用いたが、ポリイミド材は高温に弱く、変形やクラック等が発生しやすいという問題がある。これらはとくに内周部に発生しやすい。例

えば 400°C という高温度で薄膜抵抗材を熱処理すると、抵抗値は10%程度増加し、場合によっては膜膨れが発生する。

このため、第3図では上記第2図におけるポリイミドワニスを回転塗布、硬化後に、スパッタリング法により無機絶縁膜9としてSi薄膜を成膜するようにする。これにより上記薄膜抵

抗値の増加を0.5%に低減することができ、さらに上記膜膨れの発生も防止できる。さらに、前記薄膜抵抗値のバラツキ値8%も5%に低下する。

上記無機絶縁膜9の材料としては、ふっ酸系溶液によるウェットエッチング、或いはフッ素化合物気体を含むプラズマによりドライエッチングのできるシリコン膜、シリコン酸化膜、シリコン窒化膜、タンタル酸化膜、チタン酸化膜、モリブデン酸化膜等の中から選ぶのが効果的である。さらに、上記無機絶縁膜の膜応力等を考えて上記無機絶縁膜の厚みを 20 nm ないし $10\text{ }\mu\text{m}$ とするのが効果的である

なお、上記薄膜抵抗6の内周部のスルーホールの成生に際しては第3図に示すように、第1絶縁層91、から無機絶縁膜9、薄膜抵抗層6に向かって各スルーホール孔の径が順次若干大きくなるように設定すると、配線パターン8のスルーホール内部における付き廻りが良くなり段切れやマイグレーション等による欠陥を防止ことができる。

第4図および第6図は薄膜抵抗の形状を上記円形から矩形に変えた場合の本発明の薄膜多層基板の断面を示す図である。スルーホール導体31と33は間に配線パターン8を介して第5図に示すような矩形の薄膜抵抗60が接続されている。円形の抵抗薄膜6と較べて抵抗値のバラツキ幅が増加する点を除き、第1～3図にて説明したような効果と全く同一の効果が得られる。

[発明の効果]

本発明によれば、多層配線基板装置を用いた計算機、通信機器等の電子装置回路内の複数の

インピーダンス整合用抵抗体を上記多層配線基板表面部の薄膜多層回路部内の上記電子装置回路内のインピーダンス整合用端子部に近接する位置に設け、さらに、上記端子部との接続を上記多層配線基板のセラミック多層部内の配線層とスルーホール導体により行うので、布線インピーダンス値を低減し、回路の整合条件を向上し信号の反射やクロストーク等を低減することが出来る。

さらに、上記複数のインピーダンス整合用抵抗体は上記薄膜多層回路部内に配置され、上記多層配線基板表面部の面積を占有することがないので、上記表面部の部品実装密度を高めることができる。

さらに、上記複数のインピーダンス整合用抵

抗体として円形の薄膜抵抗体を用いるので整合抵抗値のバラツキを低減することができ、これにより回路の整合性を向上することができる。

さらに、上記複数のインピーダンス整合用抵抗体を搭載する上記薄膜多層回路内の絶縁層を

有機絶縁層と無機絶縁層の2層構造にして熱変形を低減するので、上記整合抵抗値のバラツキをさらに低減し、同時に信頼性を向上することができる。

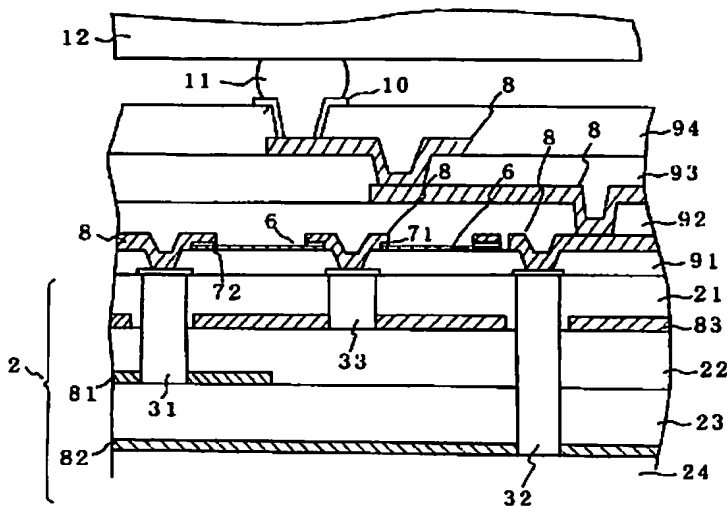
【図面の簡単な説明】

* 第1～5図はそれぞれ本発明実施例の断面構造を説明する図、第6図は終端抵抗の接続を説明する図である。

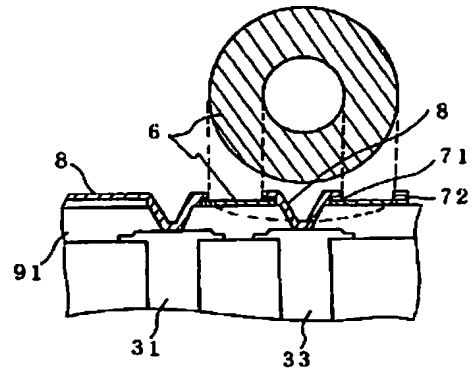
2…セラミック多層基板、21～24…第1～第4層、31～33…各スルーホール導体、41…終端電位線、51～5n…信号ピン、6…薄膜抵抗、60、61…各終端抵抗、71～74…各電極、8…配線パターン、81～83…各配線層、91…第1絶縁層、10…はんだ用電極、11…はんだ、12…LSIチップ。

* チップ。

第 1 図

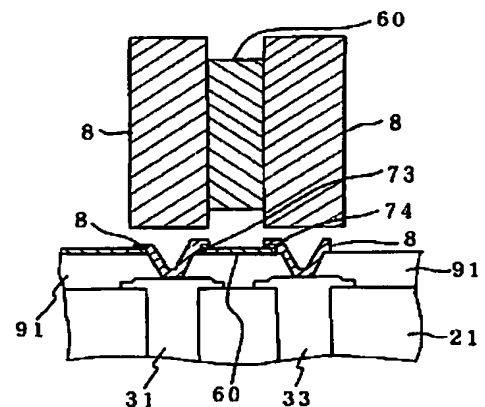


第 2 図

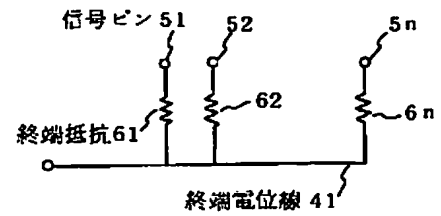


- | | |
|----------------|----------------|
| 2…セラミック多層基板 | 91…第1絶縁層(平坦化層) |
| 21～24…第1～4層 | 92…第2絶縁層 |
| 31～33…スルーホール導体 | 93…第3絶縁層 |
| 6…薄膜抵抗 | 94…第4絶縁層 |
| 71, 72…電極 | 10…はんだ用電極 |
| 8…配線パターン | 11…はんだ |
| 81～83…配線層 | 12…LSIチップ |

第 5 図



第 6 圖



9 …無機絶縁層

フロントページの続き

(51)Int.Cl.³

識別記号

片内整理番号

FI

技術表示箇所

H O 3 H 7/38

C 9184-5J

H O 5 K 3/46

E 6921-4E

(72)発明者 小野寺 聡子

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)發明者 藪下 明

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 石野 正和

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内